

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-46596

(43)公開日 平成9年(1997)2月14日

(51)Int.Cl.<sup>6</sup>  
H 0 4 N    5/335  
  
H 0 1 L    27/146

識別記号

府内整理番号

F I  
H 0 4 N    5/335  
  
H 0 1 L    27/14

技術表示箇所  
E  
P  
A

審査請求 未請求 請求項の数8 OL (全9頁)

(21)出願番号

特願平7-197471

(22)出願日

平成7年(1995)8月2日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 高橋 秀和

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

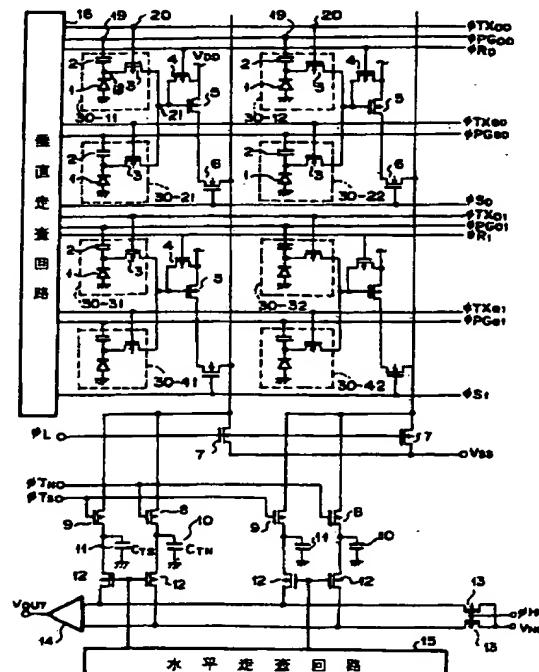
(74)代理人 弁理士 山下 穂平

(54)【発明の名称】 固体撮像装置と画像撮像装置

(57)【要約】

【課題】 CMOSセンサの縮少化と、画素信号加算を画素部で行ない、さらに加算、非加算を任意に行える多機能センサを実現することを課題とする。

【解決手段】 光電変換素子で発生した電荷を転送スイッチを介してフローティングディフュージョン部へ完全転送させ、そのフローティングディフュージョン部の電位変化をソースフォロワアンプで外部へ出力する固体撮像装置において、1つの上記フローティングディフュージョン部に数個の上記光電変換素子を転送スイッチを介して接続し、上記ソースフォロワアンプを数画素に1組形成することを特徴とする。また、上記光電変換素子がMOSトランジスタゲートとゲート下の空乏層からなることを特徴とする。



1

## 【特許請求の範囲】

【請求項1】 光電変換素子で発生した電荷を転送スイッチを介してフローティングディフュージョン部へ完全転送させ、そのフローティングディフュージョン部の電位変化をソースフォロワアンプで外部へ出力する固体撮像装置において、

1つの前記フローティングディフュージョン部に数個の前記光電変換素子を転送スイッチを介して接続し、前記ソースフォロワアンプを数画素に1組形成することを特徴とする固体撮像装置。

【請求項2】 請求項1に記載の固体撮像装置において、前記光電変換素子がMOSトランジスタゲートとゲート下の空乏層からなることを特徴とする固体撮像装置。

【請求項3】 請求項2に記載の固体撮像装置において、前記光電変換素子のMOSトランジスタゲートを周辺回路のMOSトランジスタと同一工程で作製したことを特徴とする固体撮像装置。

【請求項4】 請求項1に記載の固体撮像装置において、前記光電変換素子がp-n接合フォトダイオードであることを特徴とする固体撮像装置。

【請求項5】 請求項1に記載の固体撮像装置において、複数の前記光電変換素子の電荷を同時又は別に前記フローティングディフュージョン部へ転送できることを特徴とする固体撮像装置。

【請求項6】 請求項1に記載の固体撮像装置を複数個並べて画像信号出力を得ることを特徴とする画像撮像装置。

【請求項7】 請求項6に記載の画像撮像装置において、前記フローティングディフュージョン部に少なくとも2つの前記光電変換素子の電荷を加算することを特徴とする画像撮像装置。

【請求項8】 請求項6に記載の画像撮像装置において、前記光電変換素子の読み出しにインターリープ走査によるODD及びEVENと同期して補色モザイクパターンからの画像信号を得ることを特徴とする画像撮像装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、画像信号を得る画像撮像装置に関し、特にCMOSプロセスコンパチブルXYアドレス型増幅型固体撮像装置に関するものである。

## 【0002】

【従来の技術】 従来、固体撮像素子としては、光電変換を可能とする金属と酸化物と半導体からなるMOS構造を有し、光キャリアの移動方式でFET型とCCD型と分けられる。この固体撮像素子は太陽電池、イメージカメラ、複写機、ファクシミリなど種々な方面に使用され、技術的にも変換効率や集積密度の改良改善が図られている。このような増幅型固体撮像装置の1つに、CMOSプロセスコンパチブルのセンサ（以後CMOSセン

2

サと略す）がある。このタイプのセンサはIEEE Transactions on Electron Device, VOL 41, PP 452~453, 1994などの文献で発表されている。図11にCMOSセンサの回路構成図（B）及び断面図（A）を示す。また、図11（C）は光電変換部の光子 $h\nu$ の蓄積中の電荷の状態図を、図11（D）は光子 $h\nu$ の蓄積後の電荷の状態図を示す。

【0003】 図11（A）（B）において、1は光電変換部、2はMOSトランジスタによるフォトゲート、3は転送スイッチMOSトランジスタ、4はリセット用MOSトランジスタ、5はソースフォロワアンプMOSトランジスタ、6は水平選択スイッチMOSトランジスタ、7はソースフォロワ負荷MOSトランジスタ、8は暗出力転送MOSトランジスタ、9は明出力転送MOSトランジスタ、10は暗出力蓄積容量、11は明出力蓄積容量である。

【0004】 また、17はP型ウェル、18はゲート酸化膜、19は一層目ポリSi、20は二層目ポリSi、21はn+フローティングディフュージョン領域（FD）である。本センサの特徴の1つはフルCMOSトランジスタ・プロセスコンパチブルであり、画素部のMOSトランジスタと周辺回路のMOSトランジスタを同一工程で形成できるため、マスク枚数、プロセス工程がCCDと比較して大幅に削減できるということが挙げられる。

【0005】 次に動作方法を簡単に述べる。先ず、フォトゲート2の下に空乏層を拡げるため制御パルス $\phi_{PG}$ に正の電圧を印加する。FD部21は蓄積中、ブルーミング防止のため制御パルス $\phi_R$ をハイにして電源V<sub>DD</sub>に固定しておく。光子 $h\nu$ が照射されフォトゲート2下でキャリアが発生すると、フォトゲート2下の空乏層中に電子が蓄積されていき、正孔はP型ウェル17を通して排出される。

【0006】 光電変換部1、P型ウェル17とFD部21の間には転送MOSトランジスタ3によるエネルギー障壁が形成されているため、光電荷蓄積中は電子はフォトゲート2下に存在する（図11（C））。読み出し状態になると転送MOSトランジスタ3下の障壁をなくし、フォトゲート2下の電子をFD部21へ完全に転送させる様に制御パルス $\phi_{PG}$ 、制御パルス $\phi_{TX}$ を設定する（図11（D））。完全転送であるため、残像やノイズは光電変換部1においては発生しない。FD部21に電子が転送されると電子の数に応じてFD部21の電位が変化する。その電位変化をソースフォロワ動作でソースフォロワアンプMOSトランジスタ5のソースを介して外部の水平選択スイッチMOSトランジスタ6へ出力することにより、線型性の良い光電変換特性を得ることができる。FD部21において、リセットによるkTCノイズが発生するが、これは光キャリア転送前の暗出力を

サンプリングして蓄積しておき、明出力との差を取れば除去できる。従ってこのCMOSセンサは低ノイズで高S/N信号が特徴となる。又、完全非破壊読み出しがため多機能化が実現できる。更にXYアドレス方式による高歩留り、低消費電力というメリットもある。

#### 【0007】

【発明が解決しようとする課題】しかしながら、上記従来例では、各画素にフォトゲートが1つ、MOSトランジスタが4つ、水平駆動線が4本あるため、CCDタイプのセンサと比較して画素の縮少化が難しく、又、開口率も小さくなってしまうといった欠点があった。

【0008】又、TV走査を行うための光電変換信号の加算も周辺回路で行うため、動作速度が遅速になってしまいといった欠点もあった。

【0009】本発明に係る第1の目的はCMOSセンサの縮少化を実現することであり、第2の目的は画素信号加算を画素部で行うことを実現し、さらに加算、非加算を行える多機能センサを実現することである。

#### 【0010】

【課題を解決するための手段】本発明は、上記目的を達成するためになされたもので、従来各画素毎に設けていたFD領域とソースフォロワアンプを数画素に1個形成し、そのFD領域に複数の光電変換領域をMOSトランジスタスイッチを介して接続させたことを特徴とする。

【0011】この構成によりソースフォロワのMOSトランジスタアンプ、水平線選択用MOSトランジスタ、リセット用MOSトランジスタを数画素周期に1組設ければよいので、従来より各画素に占める素子数、配線数を減らせるので微細化が可能となる。

【0012】又、FD部への転送MOSトランジスタのタイミングで、2画素の信号電荷の加算、非加算が簡単に行えるので、色差線順次駆動、全画素独立出力駆動等の様々な駆動方式に対応できる。

【0013】さらに、固体撮像装置において、光電変換素子がMOSトランジスタゲートとゲート下の空乏層からなることを特徴とする。また、上記光電変換素子のMOSトランジスタゲートを周辺回路のMOSトランジスタと同一工程で作製したことを特徴とする。また、上記光電変換素子がPn接合フォトダイオードであることを特徴とする。さらに、複数の上記光電変換素子の電荷を同時又は別に前記フローティングディフュージョン部へ転送できることを特徴とする。また上記固体撮像装置を複数個並べて画像信号出力を得る画像撮像装置を特徴とする。かかる構成により、多彩な画像信号を得ることができる。

#### 【0014】

【発明の実施の形態】以下、本発明の実施の形態を、各実施例とともに図面を参照しつつ詳細に説明する。

【0015】(第1実施例) 図1に、本発明による第1実施例の概略的回路構成図を示す。同図において、2列

×4行画素の2次元エリアセンサを示したものであるが、実際は、本センサを拡大して、1920列×1080行等と画素数を多くして、解像度を高めている。

【0016】図1において、1はMOSトランジスタゲートとゲート下の空乏層からなる光電変換素子の光電変換部、2はフォトゲート、3は転送スイッチMOSトランジスタ、4はリセット用MOSトランジスタ、5はソースフォロワアンプMOSトランジスタ、6は水平選択スイッチMOSトランジスタ、7はソースフォロワの負荷MOSトランジスタ、8は暗出力転送MOSトランジスタ、9は明出力転送MOSトランジスタ、10は暗出力蓄積容量CTN、11は明出力蓄積容量CTS、12は水平転送MOSトランジスタ、13は水平出力線リセットMOSトランジスタ、14は差動出力アンプ、15は水平走査回路、16は垂直走査回路である。

10

【0017】図2に画素部の断面図を示す。同図において、17はP型ウェル、18はゲート酸化膜、19は一層目ポリSi、20は二層目ポリSi、21はn+フローティングディフュージョン部(FD)である。21のFDは別の転送MOSトランジスタを介して別の光電変換部と接続される。同図において、2つの転送MOSトランジスタ3のドレインとFD部21を共通化して微細化とFD部21の容量低減による感度向上を図っているが、A1配線でFD部21を接続しても良い。

20

【0018】次に、図3のタイミングチャートを用いて動作を説明する。このタイミングチャートは全画素独立出力の場合である。

20

【0019】まず垂直走査回路16からのタイミング出力によって、制御パルスφLをハイとして垂直出力線をリセットする。また制御パルスφR0, φPG00, φPGe0をハイとし、リセット用MOSトランジスタ4をオンとし、フォトゲート2の一層目ポリSi19をハイとしておく。時刻T0において、制御パルスφS0をハイとし、選択スイッチMOSトランジスタ6をオンさせ、第1, 第2ラインの画素部を選択する。次に制御パルスφR0をローとし、FD部21のリセットを止め、FD部21をフローティング状態とし、ソースフォロワアンプMOSトランジスタ5のゲート・ソース間をスルーとした後、時刻T1において制御パルスφTNをハイとし、FD部21の暗電圧をソースフォロワ動作で蓄積容量CTN10に出力させる。

40

【0020】次に、第1ラインの画素の光電変換出力を行うため、第1ラインの制御パルスφTX00をハイとして転送スイッチMOSトランジスタ3を導通した後、時刻T2において制御パルスφPG00をローとして下げる。この時フォトゲート2の下に拡がっていたポテンシャル井戸を上げて、光発生キャリアをFD部21に完全転送させるような電圧関係が好ましい。従って完全転送が可能であれば制御パルスφTXはパルスではなくある固定電位でもかまわない。

【0021】時刻T<sub>2</sub>でフォトダイオードの光電変換部1からの電荷がFD部21に転送されることにより、FD部21の電位が光に応じて変化することになる。この時ソースフォロワアンプMOSトランジスタ5がフローティング状態であるので、FD部21の電位を時刻T<sub>3</sub>において制御パルスφT<sub>s</sub>をハイとして蓄積容量C<sub>Ts1</sub>1に出力する。この時点で第1ラインの画素の暗出力と光出力はそれぞれ蓄積容量C<sub>TN1</sub>0とC<sub>Ts1</sub>1に蓄積されおり、時刻T<sub>4</sub>の制御パルスφHCを一時ハイとして水平出力線リセットMOSトランジスタ13を導通して水平出力線をリセットし、水平転送期間において水平走査回路15の走査タイミング信号により水平出力線に画素の暗出力と光出力を出力される。この時、蓄積容量C<sub>TN1</sub>0とC<sub>Ts1</sub>1の差動増幅器14によって、差動出力V<sub>OUT</sub>を取れば、画素のランダムノイズ、固定パターンノイズを除去したS/Nの良い信号が得られる。また画素30-12、30-22の光電荷は画素30-11、30-21と同時に夫々の蓄積容量C<sub>TN1</sub>0とC<sub>Ts1</sub>1に蓄積されるが、その読み出しあは水平走査回路15からのタイミングパルスを1画素分遅らして水平出力線に読み出して差動増幅器14から出力される。

【0022】本実施例では、差動出力V<sub>OUT</sub>をチップ内で行う構成を示しているが、チップ内に含めず、外部で従来のCDS(Correlated Double Sampling: 相関二重サンプリング)回路を用いても同様の効果が得られる。

【0023】蓄積容量C<sub>Ts1</sub>1に明出力を出力した後、制御パルスφR0をハイとしてリセット用MOSトランジスタ4を導通しFD部21を電源VDDにリセットする。第1ラインの水平転送が終了した後、第2ラインの読み出しを行う。第2ラインの読み出しあは、制御パルスφTXe0、制御パルスφPGe0を同様に駆動させ、制御パルスφTN、φTSに夫々ハイパルスを供給して、蓄積容量C<sub>TN1</sub>0とC<sub>Ts1</sub>1に夫々光電荷を蓄積し、暗出力及び明出力を取り出す。以上の駆動により、第1、第2ラインの読み出しが夫々独立に行える。この後、垂直走査回路を走査させ、同様に第2n+1、第2n+2(n=1, 2, ...)の読み出しあを行えば全画素独立出力が行える。即ち、n=1の場合は、まず制御パルスφS1をハイとし、次に次にφR1をローとし、続いて制御パルスφTN、φTX01をハイとし、制御パルスφPG01をロー、制御パルスφTSをハイ、制御パルスφHCを一時ハイとして画素30-31、30-32の画素信号を読み出す。続いて、制御パルスφTXe1、φPGe1及び上記と同様に制御パルスを印加して、画素30-41、30-42の画素信号を読み出す。

【0024】本実施例において、1画素に1組のソースフォロワを設けずに、2画素に1組のソースフォロワを設けたことにより、ソースフォロワアンプMOSトランジスタ5、選択スイッチMOSトランジスタ6、リセットMOSトランジスタ4を従来の半分にすることができ

る。これにより、画素の光電変換部の開口率が向上し、画素の集積化による微細化が実現できる。又、FD部21を2画素で共有化させることにより、ソースフォロワアンプMOSトランジスタ5のゲート部分の容量を増やすことで済むため、感度の低下を防ぐことができる。

【0025】本発明の別の特徴として、2画素以上の信号をFD部21において加算することによりS/Nを向上させることも挙げられる。これは、回路は全く変えずに印加パルスのタイミングのみの変更で実現できる。上10下2画素信号の加算の場合のタイミングチャートを図4に示す。非加算モードの図3では制御パルスφTX00と制御パルスφTXe0、制御パルスφPG00と制御パルスφPGe0のタイミングを1画素分ずらしていたが、加算の場合は同じタイミングである。即ち画素30-11と画素30-21とから同時に読み出すために、まず制御パルスφTNをハイとして垂直出力線からノイズ成分を読み出し、制御パルスφTX00と制御パルスφTXe0を、及び制御パルスφPG00と制御パルスφPGe0を、夫々同時にハイ、ローとして、FD部21に転送する。

これにより、同時刻に上下2つの光電変換部1の信号をFD部21で加算することが可能となる。従って、図3のタイミングによる2つのタイミングを準備しておけば、例えば明るい時には高解像度撮像を、一方図4のタイミングによる同時読み出しのタイミングによって、例えば暗い時には高感度撮像を行うことが1つのセンサで可能となる。

【0026】上記実施例においては、FD部21に2つの光電変換部を接続した例を示したが、この光電変換部を3、4個等と複数個であっても良い。そうすることで、例えばCMOSプロセスによる短工程で、高感度の固体撮像装置、高密度の装置等と活用幅の広い装置を提供できる。

【0027】本実施例において画素部30の各MOSトランジスタは全てn型で構成して製造工程を簡略化しているが、p型のサブストレートにn型ウェルを用いて全てPMOSトランジスタで構成するのも当然可能であり、この逆の構成でもよい。

【0028】(第2実施例) 図5に本発明による第2実施例の概略回路図を示す。本実施例において、色差線順次駆動ができる様に転送スイッチ22を設けたことを特徴とする。第1実施例では第1ラインと第2ラインの加算、第3ラインと第4ラインの加算が行えるが、第2ラインと第3ラインの加算は行えない。本実施例においては転送スイッチ22があるため、第2と第3ラインの加算が可能となった。

【0029】第2と第3ラインの加算の場合、第1ラインの読み出しあは図3のタイミングでT0~T4と進み、その後第2ラインを読み出す際に、制御パルスφTXe0と制御パルスφTX01、制御パルスφPGe0と制御パルスφPG01を同時にハイ、ローとし、制御パルスφFも制

御パルス  $\phi TXe0$  と同時にハイとし、他の制御パルスも同様に供給して、画素 30-21 と画素 30-31 の画素信号を蓄積容量 11 に蓄積し、ノイズ成分をキャンセルして画素信号出力 VOUT を得ることができる。その後画素 30-22 と画素 30-32 の画素信号を蓄積容量 11 に蓄積して画素信号出力 VOUT を得ることができ。、続けて第 3 ラインと第 4 ラインとも同様な制御パルスを供給印加して、画素 30-31 と画素 30-41 の画素信号を、及び画素 30-32 と画素 30-42 の画素信号を順次読み出すことができる。

【0030】従って、図 5 の回路構成チップ上に、図 6 のような補色モザイク型フィルタを形成すれば、NTSC 方式の走査によれば、ODD (奇数) フィールドでは例えば第 1 ラインと第 2 ラインの和として  $C_y + M_g$ ,  $Y_e + G$  の出力と、例えば第 3 ラインと第 4 ラインの和として  $C_y + G$ ,  $Y_e + M_g$  の出力を順に得ることができ、EVEN (偶数) フィールドにおいても、例えば第 2 ラインと第 3 ラインの和として  $C_y + M_g$ ,  $Y_e + G$  の出力と、例えば第 3 ラインと第 4 ラインの和として  $C_y + G$ ,  $Y_e + M_g$  の出力を順に得ることができ。、  
10 インターレス走査の TV 走査 (NTSC, HD) における I 軸 (オレンジ・シアン系) と Q 軸 (緑・マゼンタ系) の 2 つの搬送色信号を容易に生成すること等が可能となる。

【0031】又、本実施例においても、駆動タイミングの供給タイミングを変更すれば、全画素の独立出力が可能であるのは当然である。即ち、制御パルス  $\phi F$  を常時ローとすれば、転送スイッチ 22 の動作をオフして、図 3 に示すタイミングによって時系列に従って各画素の出力毎に読み出すことができる。

【0032】従って、本実施例によれば、1 ラインずれた画素の和信号を出力することが可能となって TV 走査に対応するばかりでなく、図 3 及び図 4 に示すタイミングで各画素毎に時系列に独立して読み出したり、2 画素の和信号を読み出したりできるので、撮像環境に応じて多彩な撮像ができる。

【0033】本実施例において、特に色差線順次駆動 (インターレース、色信号加算出力) 方式を行えば、第 1 実施例で必要であった、メモリ、外部加算回路が不要となり、従来の CCD 用の信号処理回路がそのまま使用できるため、コスト、実装の面で有利となる。

【0034】(第 3 実施例) 図 7 に本発明による第 3 実施例の概念回路図を示す。本実施例においては、画素信号の加算をする際に、図 4 に示すタイミングによる FD 部での加算のみでなく、光電変換部で加算できるスイッチ MOS トランジスタ 23 を設けたことを特徴とする。

【0035】図 7において、各制御パルスのタイミングは第 2 実施例と同様であり、第 1 ラインを読み出して、次に第 2、第 3 ラインの読み出しにおいても、制御パルス  $\phi F$  も制御パルス  $\phi TXe0$  と同時にハイとし、画素 30-21 の光電変換部 1 の電荷と画素 30-31 の光電

変換部 1 の電荷とがスイッチ MOS トランジスタ 23 を導通することで加算され、画素 30-21 の転送 MOS トランジスタ 3 を導通してソースフォロワ MOS トランジスタ 5、選択スイッチ MOS トランジスタ 6 を介して蓄積容量 11 に転送される。

【0036】こうして、図 6 に示す補色モザイク型フィルタを形成すれば、第 2 実施例と同様に、ODD (奇数) フィールドでは例えば第 1 ラインと第 2 ラインの和として  $C_y + M_g$ ,  $Y_e + G$  の出力と、例えば第 3 ラインと第 4 ラインの和として  $C_y + G$ ,  $Y_e + M_g$  の出力を順に得ることができ、EVEN (偶数) フィールドにおいても、例えば第 2 ラインと第 3 ラインの和として  $C_y + M_g$ ,  $Y_e + G$  の出力と、例えば第 3 ラインと第 4 ラインの和として  $C_y + G$ ,  $Y_e + M_g$  の出力を順に得ることができる。

【0037】従って、インターレス駆動において、ODD フィールドでは FD 部で加算を行い、EVEN フィールドでは画素部で片方の電荷をもう片方の井戸へ転送加算して、FD 部へ出力させる。もちろん EVEN フィールド、ODD フィールドで逆でも良い。本実施例において、FD 部容量を増やすことなく、TV 走査が可能となる。また、各制御パルスのタイミングを種々変更することで、第 2 実施例と同様に、多彩な画像信号を得ることができる。さらに、本実施例においても、第 2 実施例都同様に、色差線順次駆動を行なうことにより、従来の信号処理回路をそのまま使用できるメリットが出てくる。

【0038】(第 4 実施例) 図 8 に本発明による第 4 実施例の概念回路図を示す。本実施例においては、光電変換部にフォトゲートを用いず、pn フォトダイオード 24 を用いたことを特徴とする。図 9 に画素の断面図を示す。同図において、25 は n 層であり完全空乏化できる濃度である。制御パルス  $\phi TX$  により発生した電荷を FD 部へ完全転送させる。本実施例の場合も制御パルス  $\phi TX$  により信号の加算、非加算を行うことができる。

【0039】図 8、図 9 の動作を説明する。まず制御パルス  $\phi R$  をハイとして FD 部 21 を電源 VDD にリセットし、制御パルス  $\phi S$  をハイとして暗出力を蓄積容量 10 に蓄積し、次に制御パルス  $\phi TX00$  をハイとして、pn フォトダイオード 24 に蓄積された光電荷をソースフォロワ MOS トランジスタ 5、選択スイッチ MOS トランジスタ 6 を介して蓄積容量 11 に転送して、ノイズ成分を差動増幅器 14 によってキャンセルし、画像信号 VOUT を出力する。また、図 4 によるタイミングに相当する制御パルスを供給することで、2 つの pn フォトダイオード 24 に電荷を加算して読み出すことができる。

【0040】また、スイッチ MOS トランジスタを追加することで、第 2 実施例及び第 3 実施例と同様に、インターレス走査に効率の良い画像出力を得ることができる。

【0041】(第 5 実施例) 図 10 に本発明による第 5

9

実施例の画素断面図を示す。同図において、26は表面P+層であり、n層25と光電変換部を構成し、埋込み型フォトダイオードで画素を形成したことを特徴とする。この構造により表面で発生する暗電流を抑制することができる。図9と比較して効率の良い高い光電荷を得ることができるので、S/Nの高い高品質の画像信号を得ることができる。

【0042】図10に示す構造の画素は、図8のpnフォトダイオード24の代わりに設ける、第4実施例と同様な各制御パルスのタイミングによって、同様な画像出力を得ることができる。

【0043】

【発明の効果】以上説明したように、本発明によれば、素子数を減らした高開口率、微細化可能なCMOSトランジスタ型センサが実現できるため、収率アップによる高歩留り、低コスト、パッケージ小型化、光学系システム小型化という効果がある。

【0044】又、画素信号の加算、非加算を駆動方法のみで実現できるため、従来のXYアドレス機能を含めて、様々な動作方法に対応できるという効果もある。

【画面の簡単な説明】

【図1】本発明による第1実施例の概略的回路構成図である。

【図2】本発明による第1実施例の画素断面図である。

【図3】本発明による第1実施例のタイミングチャート(1)である。

【図4】本発明による第1実施例のタイミングチャート(2)である。

【図5】本発明による第2実施例の概略的回路構成図である。

【図6】本発明による第2実施例のオンチップカラーフィルタ図である。

【図7】本発明による第3実施例の概略的回路構成図である。

10

\* 【図8】本発明による第4実施例の概略的回路構成図である。

【図9】本発明による第4実施例の画素断面図である。

【図10】本発明による第5実施例の画素断面図である。

【図11】従来の固体撮像装置の概略回路構成図である。

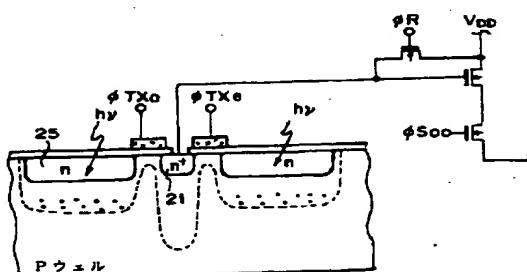
## 【符号の説明】

1	光電変換部
2	フォトゲート
3	転送スイッチMOSトランジスタ
4	リセットMOSトランジスタ
5	ソースフォロワアンプ
6	水平線選択スイッチMOSトランジスタ
7	ソースフォロワ負荷MOSトランジスタ
8	暗出力転送MOSトランジスタ
9	明出力転送MOSトランジスタ
10	暗出力蓄積容量
11	明出力蓄積容量
12	水平転送MOSトランジスタ
13	水平出力線リセットMOSトランジスタ
14	差動アンプ
15	水平走査回路
16	垂直走査回路
17	Pウェル
18	ゲート酸化膜
19	一層目ポリSi
20	二層目ポリSi
21	n+フロー・ティングディフュージョン
22	転送スイッチMOSトランジスタ
23	加算スイッチMOSトランジスタ
24	Pnフォトダイオード
25	n型層
26	表面P+層

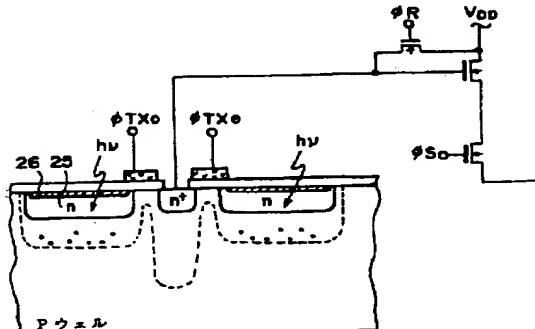
【図6】

Cy	Ye
Mg	G
Cy	Ye
G	Mg

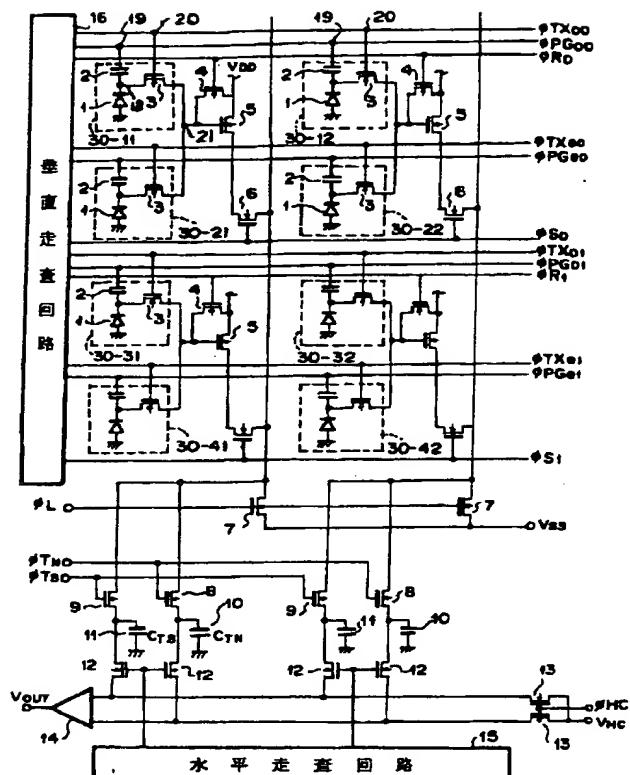
【図9】



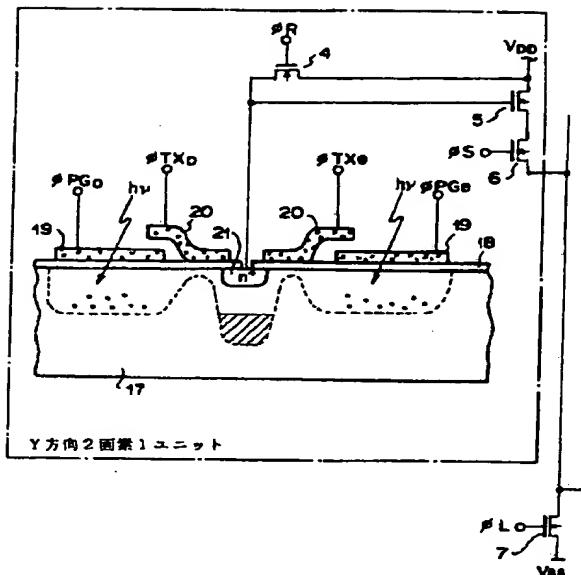
【図10】



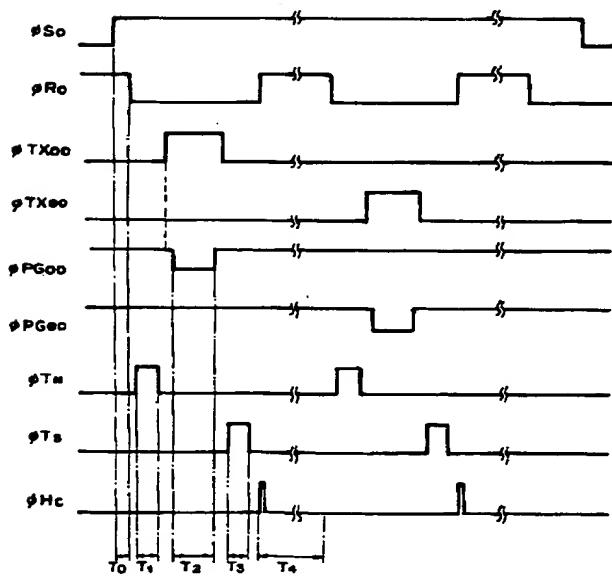
【図1】



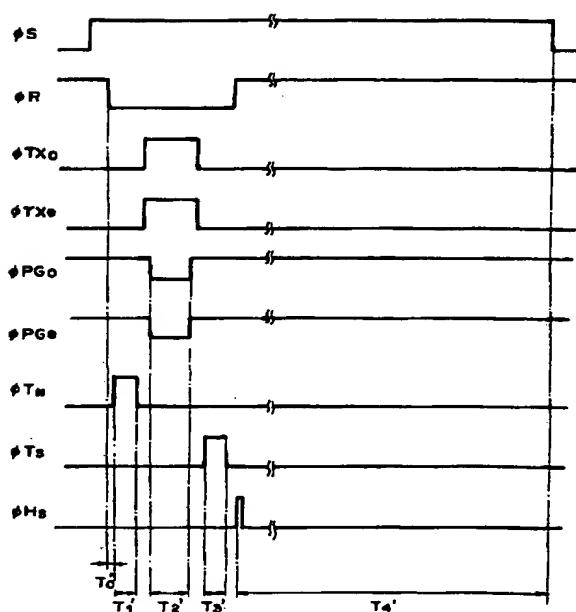
【図2】



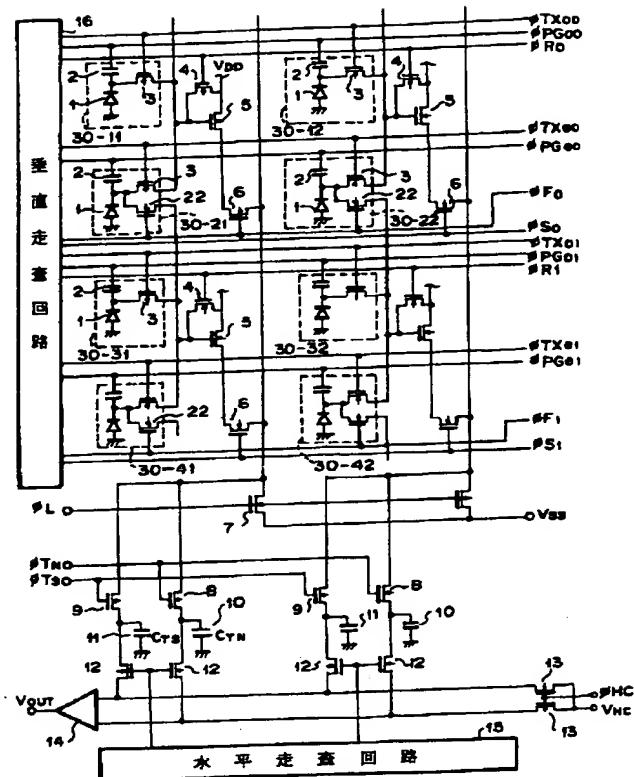
【図3】



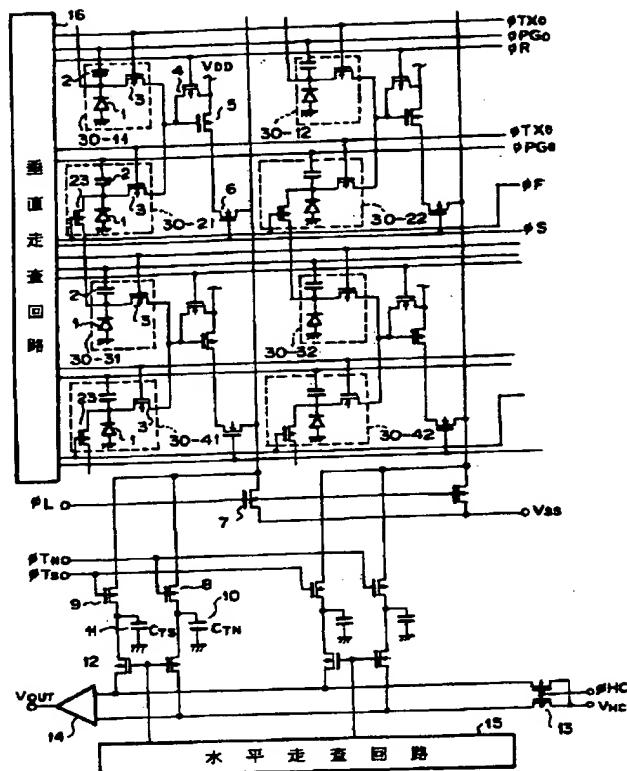
【図4】



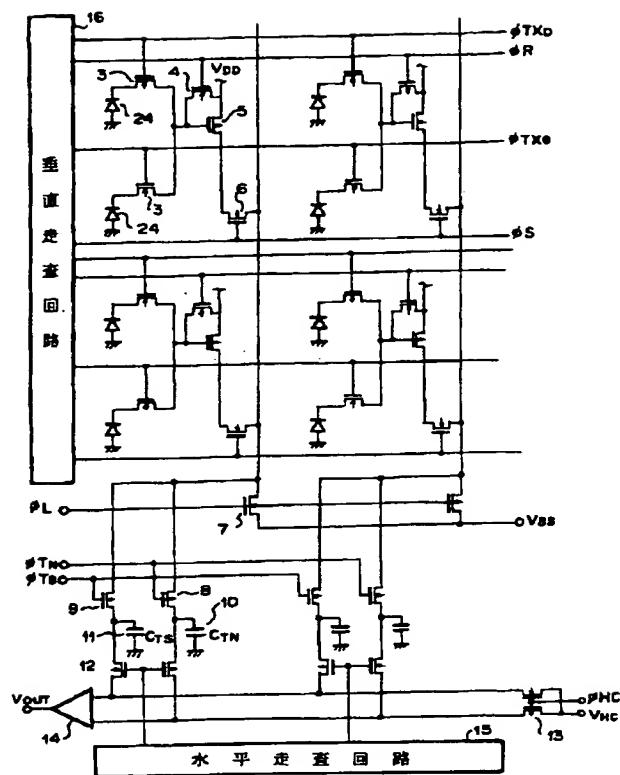
【図5】



【図7】



【図8】



【図11】

